

PROCESSING METHOD FOR OUTPUT SIGNAL OF IMAGE SENSOR PIXEL AND READING CIRCUIT

Patent number: JP2002232786
Publication date: 2002-08-16
Inventor: HUA PAUL
Applicant: SYMAGERY MICROSYSTEMS INC
Classification:
- **International:** H04N5/217; H04N5/217; (IPC1-7): H04N5/335,
H01L27/146
- **European:** H04N5/217S
Application number: JP20010378004 20011212
Priority number(s): CA20012350416 20010614; US20000256491P
20001220

Also published as:

Abstract of JP2002232786

PROBLEM TO BE SOLVED: To provide a processing method for output signal of image sensor pixel capable of eliminating fixed pattern noise effectively. **SOLUTION:** The processing method comprises a step of applying a reference voltage VREF to a first and second capacitor elements which are connected mutually by a common terminal, a step of applying a first sample signal VS1 from an image sensor pixel to the first capacitor element to arrange an electric charge to the first capacitor element, a step of moving the electric charge from the first capacitor element to the second capacitor element, a step of applying a second sample signal VS2 to the first capacitor element to arrange an electronic charge to the first capacitor element and a step of moving the electric charge from the second capacitor element to the first capacitor element to provide an output signal which is a function of the difference between the second sample signal VS2 and the first sample signal VS1.

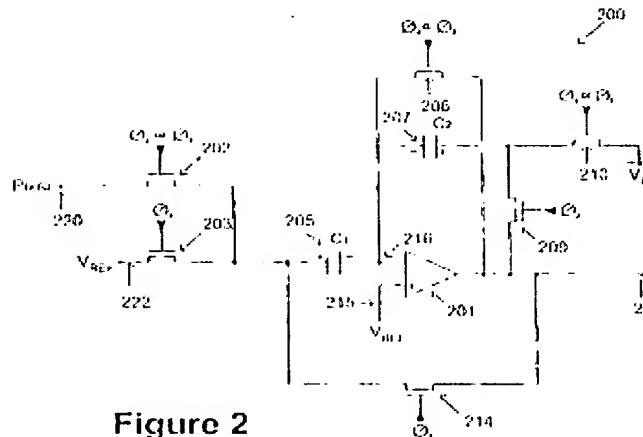


Figure 2

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-232786
(P2002-232786A)

(43)公開日 平成14年8月16日 (2002.8.16)

| | | | |
|--------------------------|------|---------------|-------------|
| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ト(参考) |
| H 0 4 N 5/335 | | H 0 4 N 5/335 | P 4 M 1 1 8 |
| H 0 1 L 27/146 | | H 0 1 L 27/14 | E 5 C 0 2 4 |

審査請求 未請求 請求項の数23 O.L (全 9 頁)

| | |
|-------------|-----------------------------|
| (21)出願番号 | 特願2001-378004(P2001-378004) |
| (22)出願日 | 平成13年12月12日 (2001.12.12) |
| (31)優先権主張番号 | 60/256491 |
| (32)優先日 | 平成12年12月20日 (2000.12.20) |
| (33)優先権主張国 | 米国 (U.S.) |
| (31)優先権主張番号 | 2350416 |
| (32)優先日 | 平成13年6月14日 (2001.6.14) |
| (33)優先権主張国 | カナダ (CA) |

| | |
|---------|--|
| (71)出願人 | 500586716 シマジエリー マイクロシステムズ イン コーポレイテッド カナダ国 ケ-2ケー 2エ-5 オンタ リオ州 オタワ ソーランド ロード 3026 |
| (72)発明者 | ポール ホア カナダ国 ケ-2ケー 3イ-3 オンタ リオ州 オタワ ラックスフォード ドラ イブ 30 |
| (74)代理人 | 100079049 弁理士 中島 淳 (外2名) |

最終頁に続く

(54)【発明の名称】 画像センサピクセルの出力信号の処理方法、及び読み出し回路

(57)【要約】

【課題】 固定パターンノイズを有効に取り除く、画像センサピクセルの出力信号の処理方法を提供する。

【解決手段】 この方法は、共通端子で互いに結合された第1及び第2コンデンサ素子に基準電圧 V_{REF} を印加するステップと、画像センサピクセルからの第1のサンプル信号 V_{S1} を第1のコンデンサ素子に印加し、第1のコンデンサ素子に電荷を配置するステップと、この電荷を第1のコンデンサ素子から第2のコンデンサ素子に移すステップと、画像センサピクセルからの第2のサンプル信号 V_{S2} を第1のコンデンサ素子に印加し、第1のコンデンサ素子に電荷を配置するステップと、電荷を第2のコンデンサ素子から第1のコンデンサ素子に移し、第2のサンプル信号 V_{S2} と第1のサンプル信号 V_{S1} との差の関数である出力信号を提供するステップと、を含む。

【特許請求の範囲】

【請求項 1】 第1のコンデンサ素子が第2のコンデンサ素子に結合された読み取り回路における画像センサピクセルの出力信号の処理方法であって、

(a) 前記第1及び第2のコンデンサ素子に基準電圧 V_{REF} を印加するステップと、

(b) 前記画像センサピクセルからの第1のサンプル信号 V_{s1} を前記第1のコンデンサ素子に印加し、前記第1のコンデンサ素子に電荷を配置するステップと、

(c) 前記電荷を前記第1のコンデンサ素子から前記第2のコンデンサ素子に移すステップと、

(d) 前記画像センサピクセルからの第2のサンプル信号 V_{s2} を前記第1のコンデンサ素子に印加し、前記第1のコンデンサ素子に電荷を配置するステップと、

(e) 前記電荷を前記第2のコンデンサ素子から前記第1のコンデンサ素子に移し、前記第2のサンプル信号 V_{s2} と前記第1のサンプル信号 V_{s1} との差の関数である出力信号を提供するステップと、

を含む、画像センサピクセルの出力信号の処理方法。

【請求項 2】 前記ステップ(e)が、前記電荷を前記第2のコンデンサ素子から前記第1のコンデンサ素子に移し、 $V_o = V_{s2} - V_{s1} + V_{REF}$ である出力信号 V_o を提供することを含む、請求項1記載の方法。

【請求項 3】 V_{s1} はピクセル上の光強度に比例するサンプル電圧であり、 V_{s2} はピクセルリセット電圧である、請求項1記載の方法。

【請求項 4】 入力端子、基準端子、及び出力端子を備える演算增幅器と、第1及び第2の端子を有し、前記第2端子が前記入力端子に結合された第1のコンデンサと、第1及び第2の端子を有し、前記第2端子が前記入力端子に結合された第2のコンデンサと、を有する読み出し回路における、画像センサピクセルの出力信号の処理方法であって、

(a) 前記演算增幅器の前記基準端子を基準電圧 V_{REF} に接続するステップと、

(b) 前記基準電圧 V_{REF} を前記第1及び第2のコンデンサ素子の前記第1端子に印加するステップと、

(c) 前記画像センサピクセルからの第1のサンプル信号 V_{s1} を前記第1のコンデンサ素子の前記第1端子に印加し、前記第1のコンデンサ素子に電荷を配置するステップと、

(d) 前記電荷を前記第1のコンデンサ素子から前記第2のコンデンサ素子に移すステップと、

(e) 前記画像センサピクセルからの第2のサンプル信号 V_{s2} を前記第1のコンデンサ素子の前記第1端子に印加し、前記第1のコンデンサ素子に電荷を配置するステップと、

(f) 前記電荷を前記第2のコンデンサ素子から前記第1のコンデンサ素子に移し、前記第2のサンプル信号 V_{s2} と前記第1のサンプル信号 V_{s1} との差の関数である出

力信号 V_o を前記演算增幅器の前記出力端子に提供するステップと、

を含む、画像センサピクセルの出力信号の処理方法。

【請求項 5】 $V_o = V_{s2} - V_{s1} + V_{REF}$ である、請求項4記載の方法。

【請求項 6】 V_{s1} はピクセル上の光強度に比例するサンプル電圧であり、 V_{s2} はピクセルリセット電圧である、請求項4記載の方法。

【請求項 7】 入力端子、第1の基準電圧に接続された基準端子、及び出力端子を備える演算增幅器と、第1及び第2の端子を有し、前記第2端子が前記入力端子に結合された第1のコンデンサ素子と、第1及び第2の端子を有し、前記第2端子が前記入力端子に結合された第2のコンデンサ素子と、第2の基準電圧と前記第1のコンデンサ素子の前記第1端子との間に接続された第1のスイッチ手段と、ピクセルと前記第1のコンデンサ素子の前記第1端子との間に接続された第2のスイッチ手段と、第3の基準電圧と前記第2のコンデンサ素子の前記第1端子との間に接続された第3のスイッチ手段と、前記演算增幅器の前記入力端子と前記出力端子との間に接続された第4のスイッチ手段と、前記第2のコンデンサ素子の前記第2端子と前記演算增幅器の前記出力端子との間に接続された第5のスイッチ手段と、前記第1のコンデンサ素子の前記第1端子と前記演算增幅器の前記出力端子との間に接続された第6のスイッチ手段と、を有する読み出し回路における、画像センサピクセルの出力信号の処理方法であって、

(a) 全ての前記スイッチ手段を開くステップと、

(b) 前記第1、第3、及び第4のスイッチ手段を閉めるステップと、

(c) 全ての前記スイッチ手段を開くステップと、

(d) 前記第2及び第5のスイッチ手段を閉めるステップと、

(e) 前記第5のスイッチ手段を開き、前記第4のスイッチ手段を閉めるステップと、

(f) 全ての前記スイッチ手段を開くステップと、

(g) 前記第3及び第6のスイッチ手段を閉めるステップと、

(h) 前記演算增幅器の前記出力端子の前記出力電圧 V_o を読み取るステップと、

を含む、画像センサピクセルの出力信号の処理方法。

【請求項 8】 前記第1、第2、及び第3の基準電圧が V_{REF} に等しい、請求項7記載の方法。

【請求項 9】 前記ステップ(d)が、ピクセルのサンプル信号 V_{s1} を前記第1のコンデンサ素子に印加することを含む、請求項8記載の方法。

【請求項 10】 前記ステップ(e)が、ピクセルのサンプル信号 V_{s2} を前記第1のコンデンサ素子に印加することを含む、請求項9記載の方法。

【請求項 11】 $V_o = V_{s2} - V_{s1} + V_{REF}$ である、請求

項10記載の方法。

【請求項12】 V_{s1} はピクセル上の光強度に比例するサンプル電圧であり、 V_{s2} はピクセルリセット電圧である、請求項11記載の方法。

【請求項13】 画像センサピクセル用の読み出し回路であって、

第1及び第2の端子を有する第1のコンデンサ手段と、第1及び第2の端子を有する第2のコンデンサ手段と、入力端子及び出力端子を有し、前記第1及び第2のコンデンサ手段の前記第2端子が前記入力端子に接続された増幅器手段と、

前記第1のコンデンサ手段の前記第1端子に接続された第1のスイッチ手段と、

前記第2のコンデンサ手段の前記第1端子に接続された第2のスイッチ手段と、

前記増幅器手段の前記入力端子と前記出力端子との間に接続された第3のスイッチ手段と、

前記第2のコンデンサ手段の前記第2端子と前記増幅器手段の前記出力端子との間に接続された第4のスイッチ手段と、

前記第1のコンデンサ手段の前記第1端子と前記増幅器手段の前記出力端子との間に接続された第5のスイッチ手段と、

を含む、読み出し回路。

【請求項14】 前記増幅器手段が、基準電圧 V_{REF} に接続された基準端子を更に含む、請求項13記載の読み出し回路。

【請求項15】 前記第1のスイッチ手段が、前記第1のコンデンサ手段の前記第1端子を基準電圧 V_{REF} に結合する第1の結合手段と、

前記第1のコンデンサ手段の前記第1端子をピクセルに結合する第2の結合手段と、

を含む、請求項14記載の読み出し回路。

【請求項16】 前記第2のスイッチ手段が、前記第2のコンデンサ手段の前記第1端子を基準電圧 V_{REF} に結合する、請求項15記載の読み出し回路。

【請求項17】 前記第1及び第2の結合手段と、前記第2、第3、第4、及び第5のスイッチ手段とを制御する手段を含む、請求項16記載の読み出し回路。

【請求項18】 前記制御手段は、前記第2のスイッチ手段、前記第3のスイッチ手段、及び前記第1の結合手段をほぼ同時に閉める、請求項17記載の読み出し回路。

【請求項19】 前記制御手段は、前記第4のスイッチ手段及び前記第2の結合手段をほぼ同時に閉める、請求項18記載の読み出し回路。

【請求項20】 前記制御手段は、前記第3のスイッチ手段及び前記第2の結合手段をほぼ同時に閉める、請求項19記載の読み出し回路。

【請求項21】 前記制御手段は、前記第2のスイッチ

手段及び前記第5のスイッチ手段をほぼ同時に閉める、請求項20記載の読み出し回路。

【請求項22】 前記第1及び第2の結合手段、ならびに前記第2、第3、第4、及び第5のスイッチ手段はトランジスタである、請求項16記載の読み出し回路。

【請求項23】 前記第1及び第2の結合手段、ならびに前記第2、第3、第4、及び第5のスイッチ手段はCMOSトランジスタである、請求項16記載の読み出し回路。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一般に画像走査デバイスに関し、より詳細にはCMOS画像センサに関する。

【0002】

【従来の技術】 電気通信デバイス及び個人用携帯情報端末の人気が高まるにつれて、新しく興味深い機能に対する要求も増加している。デジタルビデオ通信又ははめ込み画像撮像装置を含みうるこのような機能は、これらのデバイスと両立しうる仕様の、即ち、低電力消費、小さなサイズ、高解像度、及び高速の、変換器の使用を必要とする。

【0003】 1973年2月6日発行のワイマー(Weimer)の米国特許第3,715,485号に開示されるタイプの電荷結合素子(CCD)は、画像を電気信号として表すのに使用される現在最も有効な商用IC変換器である。相補型金属酸化膜半導体電界効果トランジスタ(CMOS)画像センサ及びCCDセンサはほぼ同時期に開発されたが、初めて製造された際に、CMOS画像

30 センサはSN比が大きく、競争力のないことがわかつた。CMOS画像形成装置の基本的な例は、1979年5月15日発行のオーバラ(Ohba et al)の米国特許第4,155,094号に記載されている。

【0004】 しかしながら、CMOSセンサには、CCDセンサに勝る利点がいくつかある。CMOS画像センサは、デジタル信号処理回路などの関連回路を画像センサと同一の基板に一体化させることができ、画像センサと連動するのに必要な周辺回路の大きさを減少させることができる。更に、集積化処理及び取得回路により、設計者はこれらの段階間でより幅広なデータバスを利用することができる。

【0005】 同様に、CMOS画像センサは、現行の標準CMOS製造技術を用いて製造可能であり、特殊な製造技術を必要とする代替的なCCD画像センサを使用するよりもコストの点で非常に有利である。CMOSは、より少数のマスク層を用いたより安価な技術であり、商業的により大きい生産量を有する、より成熟した製造技術である。CCD技術は複雑であるため、製造の際の歩留りがより低い。

【0006】 CMOS画像形成装置の不利な点であるノ

イズは、デバイス内の種々の段階で対処されている。特に、1976年4月6日発行のマルゲ(Malueg)の米国特許第3,949,162号に記載の相関二重サンプリング(CDS)が開発されている。

【0007】CDSは、画像ピクセルから情報を読み出す際に用いられる。この動作は、まず、ピクセルエレメント(素子)に蓄積された電荷のレベルを読み出してこれをコンデンサに蓄積し、次にピクセルエレメントに蓄積された電荷をリセット電圧によって読み出してこれをコンデンサに蓄積することにより行われる。次にこれらの2つの信号は組み合わされ、ピクセル信号を表すノイズの低減された信号が形成される。このプロセスは、暗電流ノイズ、浮動拡散ノードからのkT/Cノイズ、ピクセル内のしきい値電圧差から生じるMOSトランジスタの固定パターンノイズ(FPN)、及びソースフォロアMOSトランジスタによって生じる低周波数ノイズなど、アクティブピクセルセンサ(APS)に関連するノイズの殆どを低減する。しかしながら、このプロセスは、列(コラム)読み出し回路におけるコンデンサの不整合が一因となる、列に関連したFPNを低減しない。

【0008】

【発明が解決しようとする課題】従って、列読み出し回路によって生じる固定パターンノイズを有効に取り除く方法及び装置が必要である。

【0009】本発明は、画像センサピクセルの出力信号の処理方法及び装置に関する。

【0010】

【課題を解決するための手段】この方法は、共通端子で互いに結合された第1及び第2コンデンサ素子に基準電圧 V_{REF} を印加するステップと、画像センサピクセルからの第1のサンプル信号 V_{S1} を第1のコンデンサ素子に印加し、第1のコンデンサ素子に電荷を配置するステップと、この電荷を第1のコンデンサ素子から第2のコンデンサ素子に移すステップと、画像センサピクセルからの第2のサンプル信号 V_{S2} を第1のコンデンサ素子に印加し、第1のコンデンサ素子に電荷を配置するステップと、電荷を第2のコンデンサ素子から第1のコンデンサ素子に移し、第2のサンプル信号 V_{S2} と第1のサンプル信号 V_{S1} との差の閾数である出力信号を提供するステップと、を含む。

【0011】本発明の別の態様によると、演算増幅器が第1コンデンサ素子と第2コンデンサ素子との間の共通端子に結合されており、演算増幅器の出力は $V_o = V_{S2} - V_{S1} + V_{REF}$ である。更に、 V_{S1} はピクセル上の光強度に比例するサンプル電圧であり、 V_{S2} はピクセルリセット電圧である。

【0012】本発明の更なる態様に関しては、画像センサピクセル用の読み出し回路は、第1及び第2の端子を有する第1のコンデンサ素子と、第1及び第2の端子を有する第2のコンデンサ素子と、入力端子及び出力端子

を有し、入力端子が第1及び第2のコンデンサ素子の第2端子に接続された増幅器と、を含む。読み出し回路は、基準電圧と第1のコンデンサ素子の第1端子との間に接続された第1のスイッチと、ピクセルと第1のコンデンサ素子の第1端子との間に接続された第2のスイッチと、基準電圧と第2のコンデンサ素子の第1端子との間に接続された第3のスイッチと、増幅器の入力端子と出力端子との間に接続された第4のスイッチと、第2のコンデンサ素子の第2端子と増幅器の出力端子との間に接続された第5のスイッチと、第1のコンデンサ素子の第1端子と増幅器の出力端子との間に接続された第6のスイッチと、を更に含む。

【0013】本発明の更なる態様に関して、読み出し回路は、第1～第6のスイッチを制御するコントローラを更に含む。特に、コントローラは第1、第3、及び第4のスイッチを同時に閉め、第2及び第5のスイッチを同時に閉め、第2及び第4のスイッチを同時に閉め、そして第3及び第6のスイッチを同時に閉めるようになっている。

【0014】本発明の特定の態様によると、増幅器は、基準電圧に接続するための基準端子を有するCMOS演算増幅器であり、スイッチは全てCMOSトランジスタである。

【0015】本発明の別の態様によると、前述の読み出し回路の作動方法は、全てのスイッチを開くステップと、第1、第3、及び第4のスイッチを閉めるステップと、全てのスイッチを開くステップと、第2及び第5のスイッチを閉めるステップと、第5のスイッチを開いて第4のスイッチを閉めるステップと、全てのスイッチを開くステップと、第3及び第6のスイッチを閉めるステップと、演算増幅器の出力端子の出力電圧 V_o を読み取るステップと、を含む。

【0016】基準電圧が V_{REF} に等しく、ピクセルサンプル信号が V_{S1} 及び V_{S2} である場合、 $V_o = V_{S2} - V_{S1} + V_{REF}$ である。 V_{S1} がピクセル上の光強度に比例するサンプル電圧であり、 V_{S2} がピクセルリセット電圧である場合、出力 V_o は、第1及び第2のコンデンサ素子の値に依存しないピクセル上の光強度の関数である。

【0017】本発明の態様及び利点、ならびに本発明の種々の実施の形態の構造及び作用は、添付の図面に関連させて本発明の下記の説明を検討するにつれ、当業者には明白になるであろう。

【0018】本発明は、添付の図面を参照して説明される。

【0019】

【発明の実施の形態】基本的な相関二重サンプリング(CDS)列読み出し回路100が図1に示されている。回路100は、演算増幅器101、コンデンサ105及び107、ならびにトランジスタ102、106、109、及び110を含む。列のビットラインはライン

120を介してトランジスタ102のソースに接続されている。回路100は、このピットラインから第1の有効ピクセル電荷 V_A 、そしてリセットピクセル電荷 V_B を以下のように連続的にサンプリングする。

【0020】第1の周期の際、大きな値の信号 ϕ_A がトランジスタ102、106、及び110のゲートに印加され、これらは導電状態になる。トランジスタ109は、ゲートの信号の値が小さいため、非導電状態である。この周期の間、フィードバックコンデンサ107は演算增幅器101のオフセット電圧 V_{os1} に帯電され、入力コンデンサ105は、(ライン115の基準電圧 V_{REF} —演算增幅器のオフセット電圧 V_{os1})を入力ピクセル電圧 V_A から引いて得られた値に帯電される。従って、コンデンサ105における電荷 Q_1 は下記のようになる。

$$Q_1 = [V_A - (V_{REF} - V_{os1})] C_1$$

【0021】第2の周期の際、トランジスタ106及び110は非導電モードになり、トランジスタ102及び109は、大きな値の信号 ϕ_B をトランジスタ102及び109のゲートに印加することによって導電モードになる。これにより、演算增幅器101は電荷フィードバック増幅設定になる。これと同時に、 V_B がライン120に印加される。コンデンサ105及び107のキャパシタンスが整合している場合、フィードバックコンデンサ107に蓄積されたオフセット電圧 V_{os1} は演算增幅器のオフセット電圧 V_{os2} を補償し、入力電圧の差が V_o として出力端子113に伝わる。ここで、 $V_o = V_{REF} + V_A - V_B$ である。しかしながら、コンデンサ105及び107が不整合である場合、電圧差($V_A - V_B$)は増幅され、蓄積されたオフセット電圧 V_{os1} は第2のサンプリングの際にオフセット電圧 V_{os2} の増幅効果を相殺しない。これにより、コンデンサの不整合による列のFPNが生じる。

【0022】この問題は、本発明に従って、図2に示される列読み出し回路200によって解決される。読み出し回路の対応クロック信号が図3に示されている。図3は、クロック信号 ϕ_1 、 ϕ_2 、 ϕ_3 、及び ϕ_4 を示している。トランジスタ210、202、及び206にそれぞれ送られる、組み合わされたクロック信号 $\phi_1 + \phi_4$ 、 $\phi_2 + \phi_3$ 、及び $\phi_1 + \phi_3$ も示されている。サンプル信号 V_{s1} 及び V_{s2} も図3に示されている。回路200は、読み出し回路200を介する電荷の流れを制御する、NMO Sトランジスタ202、203、206、209、210、及び214などのいくつかのスイッチングデバイスと、ピクセルの電荷の読み出し値を蓄積する2つのコンデンサ素子205及び207と、最終的な読み出し値を増幅させる演算增幅器201と、を含む。図面及び後述の説明において、コンデンサ205及び207のそれぞれの値 C_1 及び C_2 は、この場合では工程の不整合として知られる、集積回路の形成工程に特有の差により、互い

に対して等しくない。增幅器201の、コンデンサ205及び207の値への依存性を取り除くことによってこれらの差を効果的に吸収することが、本発明の意図するところである。

【0023】読み出しの第1ステップ即ちリセットステップでは、図4に示されるように、列読み出し回路200は、トランジスタ203、206、及び210のゲートで ϕ_1 を高論理レベルに設定し、これらのトランジスタを導電状態にすることによってリセットされる。他のトランジスタは全て、非導電状態のままにされる。これにより、基準電圧 V_{REF} が第1のコンデンサ素子205の陽極及び第2のコンデンサ207の陽極に接続される。このステップは、コンデンサ205及び207の電荷を演算增幅器201のオフセット電圧 V_{os} に設定し、出力 V_o を(基準電圧 V_{REF} —オフセット電圧 V_{os})に設定する。要約すると、以下のようになる。

$$V_{c1} = V_{os} \quad (式1.1)$$

$$V_{c2} = V_{os} \quad (式1.2)$$

$$V_o = V_{REF} - V_{os} \quad (式1.3)$$

【0024】図5に示されるような第2のステップは、第1のサンプル信号 V_{s1} の取得である。この信号の取得は、 ϕ_1 を低論理レベルに戻し、 ϕ_2 を高論理レベルに上げることによって達成される。 ϕ_2 がトランジスタ202及び209のゲートに印加されると、これらのトランジスタは導電状態になる。他のトランジスタは全て、非導電状態にある。ライン220は、第1のサンプル電圧 V_{s1} を有するピクセルエレメントに列のラインを介して接続される。

【0025】第1のコンデンサ205の陽極は予め V_{REF} に帯電されているため、このノードに V_{s1} を取り込むと電荷の差が生じる。電荷保存の法則により、2つのコンデンサ205及び207間の電荷の総量は変化しない。即ち、下記の通りである。

$$Q_1 + Q_2 = K \quad (式2.1)$$

式中、 Q はコンデンサに関連する電荷であり、 ΔQ はコンデンサにおける電荷の差であり、 K は定数である。即ち、 $\Delta Q_1 + \Delta Q_2 = 0$ である。

【0026】電荷保存の法則から、この回路に関連する式を決定することができる。

$$V_{c1} = V_{s1} - (V_{REF} - V_{os}) \quad (式2.2)$$

【0027】電荷保存の法則から、下記のようになる。

$$\Delta V_{c1} = - (V_{REF} - V_{s1})$$

$$\Delta Q_1 = - (V_{REF} - V_{s1}) \times C_1$$

【0028】次いで、

$$\Delta Q_2 = - \Delta Q_1$$

$$\Delta Q_2 = + (V_{REF} - V_{s1}) \times C_2$$

【0029】そして、

$$V_{c2} = V_{c20LD} + \Delta Q_2 / C_2$$

【0030】従って、

$$V_{c2} = V_{os} + (C_1/C_2) \times (V_{REF} - V_{s1}) \quad (\text{式2.3})$$

【0031】もちろん、

$$V_{c2} = V_o - (V_{REF} - V_{os})$$

$$V_o = V_{REF} + (C_1/C_2) \times (V_{REF} - V_{s1}) \quad (\text{式2.4})$$

【0033】本質的に、回路はピクセルデータの第1のサンプリングを完了した。このサンプリングは、第1のサンプル信号を第1のコンデンサ205に配置し、次に取得された第1ピクセルデータを第2のコンデンサ207に移すことによって達成された。これにより第1のコンデンサ205に回路スペースがもたらされ、ピクセルデータの第2のサンプル信号 V_{s2} がこのスペースを用いて取得される。

【0034】図6に示されるような、第2のサンプル信号 V_{s2} の取得を含む第3のステップは、 ϕ_2 信号を低論理レベルに戻し、 ϕ_3 信号を高論理レベルに設定することによって行われる。これによってトランジスタ202及び206は導電状態になり、回路200内の他のトランジスタは全て非導電状態のままである。

$$V_{c2} = V_{os} + (C_1/C_2) \times (V_{REF} - V_{s1}) \quad (\text{式3.3})$$

【0038】本質的に、第1のサンプル信号 V_{s1} は取得され、第2のコンデンサ207に蓄えられた。次いで、第2のサンプル信号 V_{s2} が取得され、第1のコンデンサ素子205に蓄えられた。これにより、2つのピクセルデータ値を評価するステップのみが残る。

【0039】図7に示すような、ピクセルデータの評価に関する第4のステップは、 ϕ_3 を低論理レベルに戻し、 ϕ_4 を高論理レベルにすることによって達成される。 ϕ_4 クロック信号はトランジスタ214及び210を制御し、トランジスタ214及び210のゲートで ϕ_4 を高論理レベルに設定することによりトランジスタ214及び210が導電状態になり、他のトランジスタは全て非導電状態のままである。

★

$$\begin{aligned} \Delta V_{c2} &= V_{os} - [(C_1/C_2) \times (V_{REF} - V_{s1}) + V_{os}] \\ &= -(C_1/C_2) \times (V_{REF} - V_{s1}) \end{aligned}$$

$$\Delta Q_2 = C_2 \times \Delta V_{c2}$$

$$= -C_1 \times (V_{REF} - V_{s1})$$

【0044】また、

$$\Delta Q_1 = -\Delta Q_2$$

だから、下記のようになる。

$$【0045】 \Delta V_{c1} = \Delta Q_1 / C_1$$

$$= V_{REF} - V_{s1}$$

$$V_{c1} = V_{c1\text{OLD}} + \Delta V_{c1}$$

$$= (V_{s2} - (V_{REF} - V_{os})) + (V_{REF} - V_{s1})$$

$$V_{c1} = V_{s2} - V_{s1} + V_{os} \quad (\text{式4.2})$$

【0046】また、下記のようにも表すことができる。

$$V_{c1} = V_o - (V_{REF} - V_{os})$$

【0047】従って、

$$V_o = V_{c1} + (V_{REF} - V_{os})$$

【0048】よって、下記のように決定することができる。

*であるので、下記のようになる。

* 【0032】

※【0035】これにより、ライン220からの第2のサンプル信号 V_{s2} を第1のコンデンサ205の陽極に配置することができる。コンデンサ205の両側にかかる電圧は下記の値を有する。

$$V_{c1} = V_{s2} - (V_{REF} - V_{os}) \quad (\text{式3.1})$$

10 【0036】同様に、演算増幅器201の出力は演算増幅器201の反転入力216に関係しているため、下記の値となる。

$$V_o = V_{REF} - V_{os} \quad (\text{式3.2})$$

【0037】更に、第2のコンデンサ素子207の陽極は影響を及ぼすあらゆる電位から切断されており、陰極は前のステップと同一の電圧に維持されているため、前のステップの電荷を維持することができる。従って、以下のようにになる。

$$V_{c2} = V_{os} \quad (\text{式3.3})$$

20★【0040】演算増幅器201の入力値間の実質上の短絡により、コンデンサ207の陽極は V_{REF} に接続されており、陰極は $(V_{REF} - V_{os})$ に接続されている。これにより、以下の値の電荷がコンデンサ207上に設けられる。

$$Q_2 = V_{REF} - (V_{REF} - V_{os}) \times C_2$$

【0041】従って、下記のようになる。

$$V_{c2} = V_{os} \quad (\text{式4.1})$$

【0042】電荷保存の法則によると、

$$\Delta Q_1 + \Delta Q_2 = 0$$

30 【0043】従って、

$$\Delta V_{c2} = V_{c2\text{NEW}} - V_{c2\text{OLD}}$$

$$V_o = V_{s2} - V_{s1} + V_{REF} \quad (\text{式4.3})$$

【0049】ここまで生じたことに関しては、第2のコンデンサ207に蓄積された電荷が第1のコンデンサ205に移され、回路200の出力 V_o には評価が残される。コンデンサ205及び207の値とは独立した評価

40 が増幅器において使用され、従って、工程の不整合によって生じる、コンデンサ205及び207に関連したノイズを有効に取り除く。更に、本発明は、コンデンサ205及び207間の差が小さいか又は存在しない場合でも、同様に適用可能である。

【0050】従って、CMOS画像形成装置用の独特で有用な列読み出し回路が上記に詳細に説明された。しかしながら、本発明は必ずしもCMOS画像形成装置に限られているわけではなく、読み出し回路からのノイズなしで2つの電気信号の評価を行わなくてはならないいかなる状況下でも本発明を用いることができる。

【0051】本発明は、目下最も実用的で好適な実施の形態とみなされるものに従って説明されたが、本発明はここに開示された実施の形態に限定されないことを理解せねばならない。請求の範囲に定義されるような本発明の趣意及び範囲から逸脱せずに種々の変更物や同等の構造及び機能が形成可能であることを、当業者は理解するであろう。従って、請求の範囲に定義されるような本発明に対しては、このような変更物、ならびに同等の構造及び機能を全て含むように、最も広義の解釈がなされる必要がある。

【図面の簡単な説明】

【図1】基本的な従来技術の相関二重サンプリング(CDS)列読み出し回路を示す図である。

【図2】本発明の列読み出し回路を示す図である。

【図3】列読み出し回路のための制御信号を示す図である。

【図4】読み出し処理のステップを概略的に示す図である。

【図5】読み出し処理のステップを概略的に示す図である。

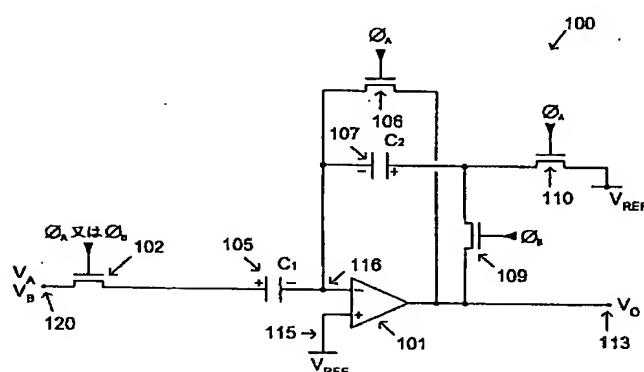
【図6】読み出し処理のステップを概略的に示す図である。

【図7】読み出し処理のステップを概略的に示す図である。

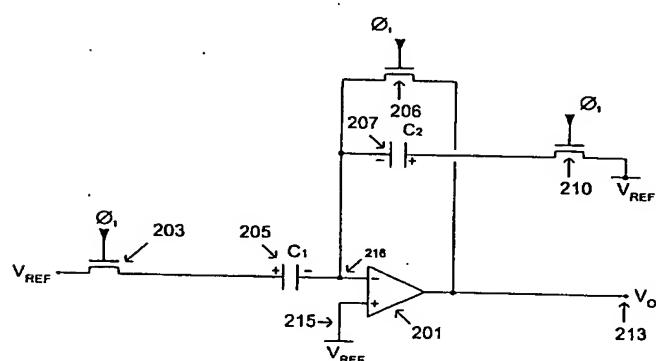
【符号の説明】

| | | |
|----|-------------------------|---------|
| 10 | 200 | 列読み出し回路 |
| | 201 | 演算増幅器 |
| | 202、203、206、209、210、214 | トランジスタ |
| | 203、207 | コンデンサ |
| | 220 | ライン |

【図1】

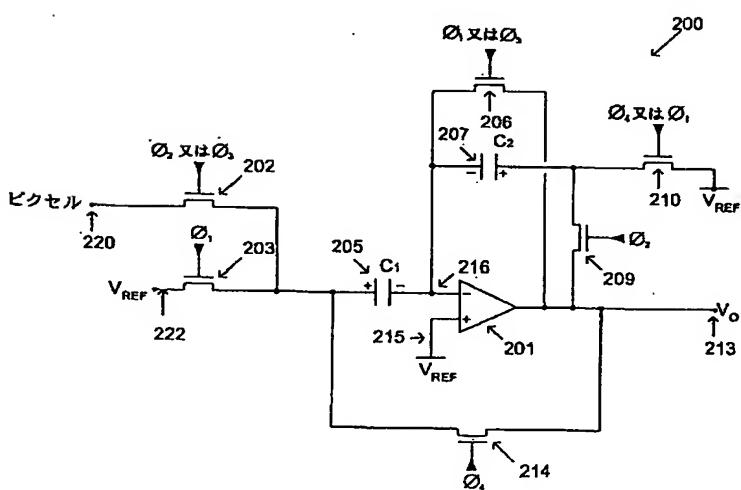


【図4】

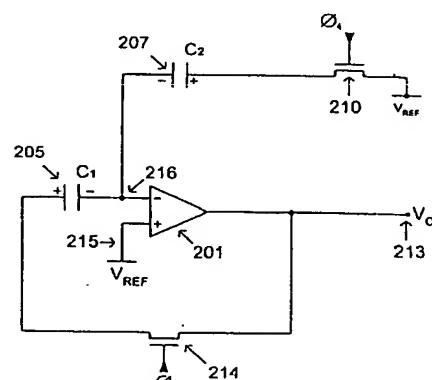


従来技術

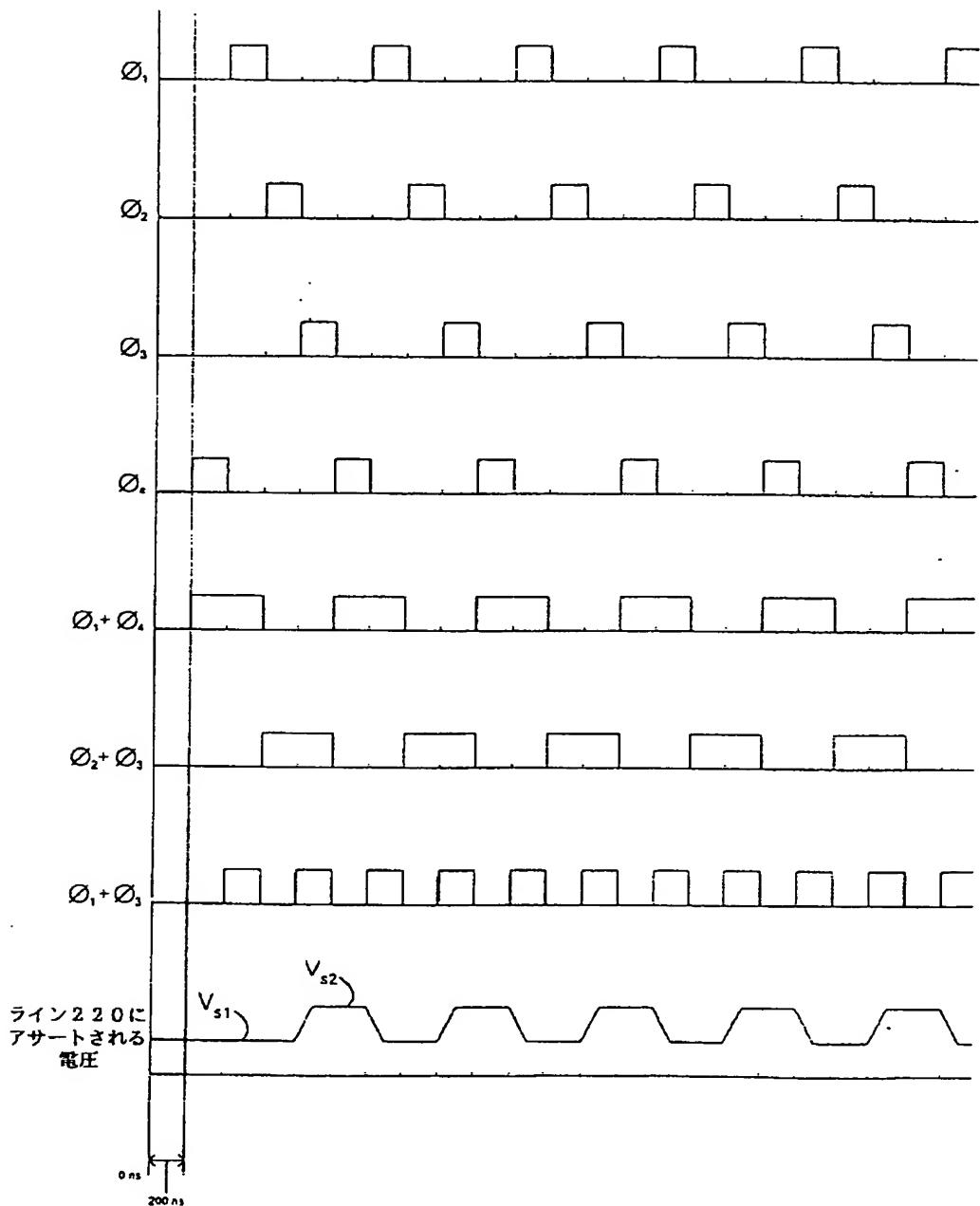
【図2】



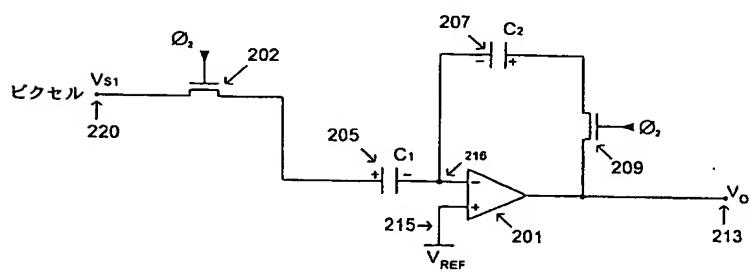
【図7】



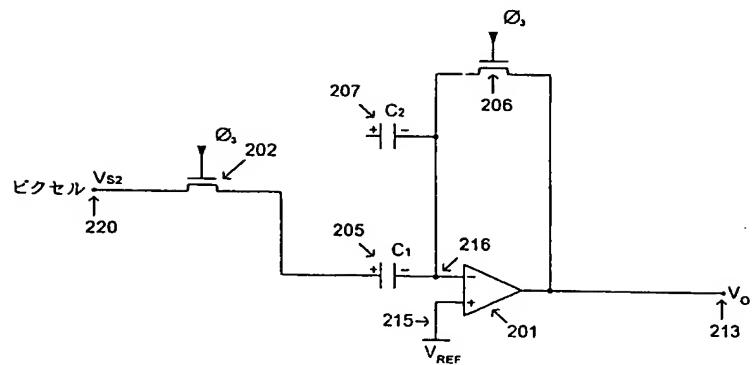
【図3】



【図5】



【図 6】



フロントページの続き

F ターム(参考) 4M118 AA05 AB01 BA14 CA02 DD09
FA06
5C024 CX04 CX05 CX06 CX07 CX08
GY31 HX13 HX29

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.